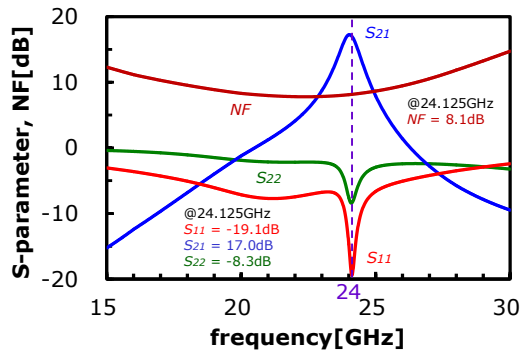


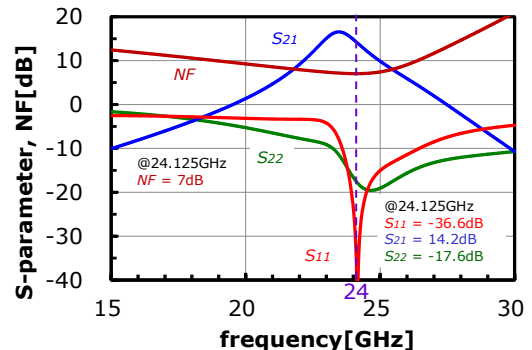
申請者	学科名	情報通信工学科	職名	教授	氏名	伊藤 信之
調査研究課題	高周波アナログ集積回路における多端子インダクタに関する研究					
調査研究組織	氏名	所属・職		専門分野	役割分担	
	代表	伊藤信之	情報通信工学科教授		集積回路	設計回路提案担当・リーダー
	分担者	佐藤良樹	システム工学専攻 博士前期課程1年		集積回路	設計・回路検証担当
		辻 大輝	システム工学専攻 博士前期課程2年		集積回路	設計・回路検証担当
調査研究実績の概要	<p><本研究の目的・手段></p> <p>高周波アナログ集積回路において、チップ上に形成するインダクタは回路の高性能化のために必須の存在であるが、一方、チップ面積を増大させ、しいてはコストの増大を招く要因ともなる。本研究の目的は、そのような状況を鑑み、回路に多く用いられるインダクタをマージした多端子インダクタを用いることで、回路特性を劣化させることなく、回路面積を縮小することにある。</p> <p>具体的には、(i)多端子インダクタを電磁界解析により設計、(ii)設計したインダクタを回路に適用し回路シミュレーションにより特性を検証、(iii)回路のレイアウト設計、(iv)試作されたチップを測定により検証、となる。</p> <p><今年度の進行状況></p> <p>回路モチーフとして、当研究室で研究されたゲート・ドレイン間にインダクタを適用することでトランジスタのゲート・ドレイン間容量の影響を相殺する24GHzの低雑音増幅器^[1-2](LNA)を検討した。ここで、マージできるインダクタの候補は、L_gとL_{gd}、L_{gd}とL_d、L_gと</p>					

L_{gd} と L_d の3パターンが考えられる。この中で L_g と L_{gd} と L_d の場合は4端子インダクタとなり最初に検討するには多少解析が複雑となり、 L_g と L_{gd} の場合はLNAにとって重要な雑音指数 (NF) に対する L_g の寄与が大きいためNFを大きく劣化される可能性があることから L_{gd} と L_d の組み合わせで検討を行った。

インダクタ設計の詳細は省略するが、設計した3端子インダクタを用いたLNAの回路シミュレーションの結果は下図右のようになり、通常の2端子インダクタを用いた回路の特性 (下図左) と同等の特性を得られることが確認できた。

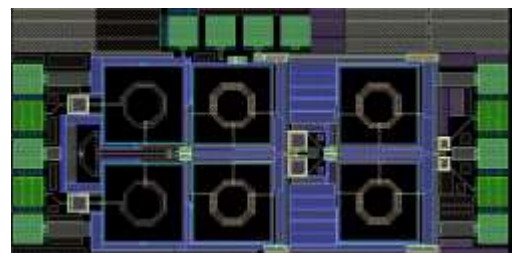
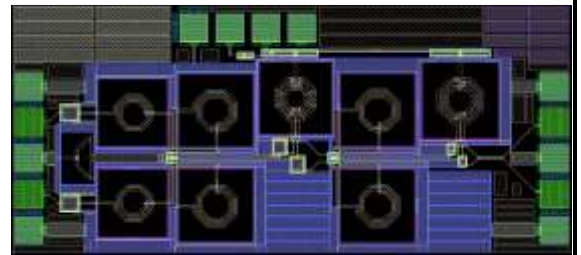


2端子インダクタを用いたLNAの特性



3端子インダクタを用いたLNAの特性

またレイアウト設計の結果を比較すると右図上の通常の2端子インダクタを用いたLNA回路と比較して右図下に示した3端子インダクタを用いたLNA回路は、面積にして約20%の縮小が可能となることが確認できた。なお、ここで用いたプロセスはTSMC社の180nmCMOSプロセスである。



<今後の計画>

現在、設計したLNA回路はレイアウト設計をほぼ終了したが、TEGとしてテープアウトするために他の回路のレイアウト設計を進めている。テープアウト時期は4月末の予定であり、7月末に試作を終えたサンプルを入手、その後チップ評価を行い、2016年9月末には測定結果を纏める予定である。

その後、今回の3端子インダクタの結果を基に4端子インダクタを用いた回路検討へと進める予定である。

参考文献

- [1] Y. Sato, Y. Kondo, K. Komoku, T. Morishita, and N. Itoh, "A 24-GHz Low-Noise Amplifier in 180nm CMOS," Thailand-Japan MicroWave 2015, TH-10, Aug. 2015.
- [2] 佐藤良樹, 西野賀雄, 近藤洋平, 森下賢幸, 小椋清孝, 伊藤信之, "180nm CMOSプロセスを用いた24 GHz低雑音増幅器の研究," 第17回 IEEE Hiroshima Student Symposium (HISS2015), 岡山, 2015年11月.

調査研究実績
の概要