

2020年度 独創的研究助成費 実績報告書

2021年 3月 26日

報告者	学科名	情報通信工学科	職名	教授	氏名	伊藤信之
研究課題	CMOSトランジスタのマクロモデルの構築					
研究組織		氏名	所属・職	専門分野	役割分担	
	代表	伊藤信之	情報工学部・教授	集積回路	モデル構築・リーダー	
		宮崎和哉	システム工学専攻博士前期課程1年	集積回路	モデル検証担当 (f < 1 GHz 増幅器)	
		金田直樹	システム工学専攻博士前期課程1年	集積回路	モデル検証担当 (f = 3~24GHz 逡倍器)	
	分担者	澤山唯人	システム工学専攻博士前期課程2年	集積回路	モデル検証担当 (f = 1 ~ 5 GHz 増幅器)	
		田島直樹	システム工学専攻博士前期課程2年	集積回路	モデル検証担当 (f = 24 ~ 28 GHz 弱反転発振器)	
		結城主	システム工学専攻博士前期課程2年	集積回路	モデル検証担当 (f = 24 ~ 28 GHz 強反転発振器)	
	吉澤悠人	システム工学専攻博士前期課程2年	集積回路	モデル検証担当 (f = 24 GHz 増幅器)		
研究実績の概要	<p>1. 研究状況</p> <p>(1) 外付マクロモデル (R_g, C_{gb}) の検討、作成、検証 (4/1~7/4)</p> <p>対象となる東京大学 d.lab 提供の R 社 0.18μm CMOS プロセスのモデルにおいては、ゲート抵抗 (R_g) がもともと入ってなかったため、その部分のモデル化を行った。ゲート抵抗は、ゲートコンタクト抵抗、ゲートポリシリコン抵抗、内部ゲート抵抗に分別でき、全体に対する寄与率としてはゲートコンタクト抵抗が大である (典型的なレイアウトで60%程度)。したがって、ゲートコンタクト抵抗を低下させることが効果的あるがこれを低下させる、即ちコンタクト数を増やすことは寄生容量 C_{gb} が増加する事となる。そのため、それらを連携したプログラムを作成し、マクロモデルのパラ</p>					

※ 次ページに続く

研究実績
の概要

メータを決定しそのパラメータを用いて回路シミュレーションを行った。増幅器に適応した結果を図1に示す。図1の黒点は測定値、赤線はもともとのパラメータによるシミュレーション値、青線はこのパラメータを用いたシミュレーション値である。

(2) 容量部分の検討 (4/1~継続中)

(1)のパラメータでは、寄生容量を考慮しているが、十分では無いため spice パラメータ本体の容量パラメータ、CGSO,CGDO を修正した。

(3) (1)と(2)を組み合わせたモデル作成、検証 (4/15~10/26)

(1)と(2)を合わせたモデルによりシミュレーションを行った。図1と同じ回路に適応した結果を図2に示す。図2では紫線がこのモデルのシミュレーション値であり、ゲインは概ね合っているが周波数特性に乖離が見られる。同じように、リング発振器に適応したグラフを図3に示す。巣3より発振周波数に関しては概ね合っているように見える。

(4) (3)を基にした回路設計とテープアウトおよび試作 (9/1~2/3、チップ試作期間 : 10/26~2/3)

上記の知見を基に、新しい回路の回路設計、レイアウト設計を行い、10/26にテープアウト (LSI データを工場に出す) を行った。試作されたチップができあがる予定は2021/2/12予定。

(5) (4)のチップ測定および検証 (2021/2/3、~継続中)

上記のようにチップ上りは2021/2/12の予定であったが、前倒して2/3にチップが到着した。現在、チップの測定中であり、その後現在のパラメータとの整合性を検証する予定。

2. まとめ

上記のようにマクロモデルを作成することにより改善はみられているが、現在測定中のチップの測定データをまとめた段階で、モデルの過不足を検討する。

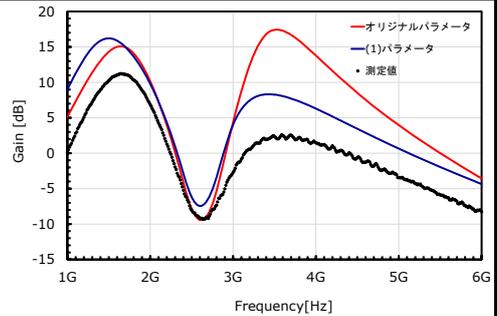


図1 外付けマクロモデルによるシミュレーション結果

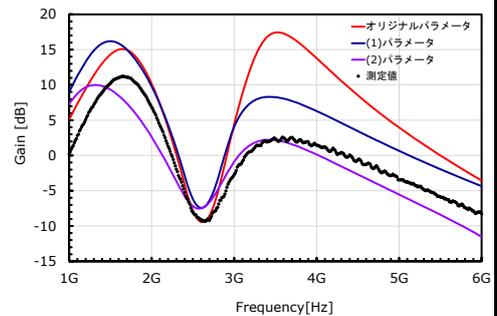


図2 Spiceパラメータの容量部分も変更したシミュレーション結果

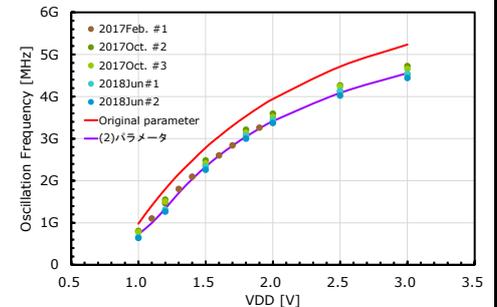


図3 Spiceパラメータの容量部分も変更したシミュレーション結果(発振器)

成果資料目録