

申請者	学科名	情報通信工学科	職名	助教	氏名	小椋 清孝 印
調査研究課題	マルチタスク処理可能なパイプライン処理型動的再構成プロセッサの研究					
交付決定額	41万円					
調査研究組織	氏名	所属・職		専門分野	役割分担	
	代表	小椋 清孝	情報通信工学科・助教	集積回路工学	研究全般	
	分担者	山本哲哉 黒田光紀	情報系工学研究科・M2 情報通信工学科・B4	集積回路工学 集積回路工学	全体構成検討・設計 構成制御部等設計	
調査研究実績の概要	<p>1. はじめに 開発中のパイプライン処理型動的再構成プロセッサDRoMPA2.0の演算資源の利用率向上を目的として、プロセッサのマルチタスク化を検討している。本研究では、マルチタスク化に必要なマルチタスク管理部の開発を行った。</p> <p>2. 動的再構成回路DRoMPA2.0 メディア処理向け動的再構成回路アーキテクチャDRoMPA2.0 (Dynamic Reconfiguration oriented Media Processing Architecture)は、加減算ユニット(ADDSUB unit)、乗算ユニット(MULT unit)、カウンタユニット(COUNTER unit)、レジスタユニット(REGISTER unit)等の複数種類(ヘテロ)の演算ユニットを用いてパイプライン処理回路を構成し、これを再構成しながら処理を行っていくタイプの動的再構成回路のアーキテクチャである。各演算ユニットは32bit精度であり、32bitデータバスおよび制御信号系の1bitデータバスがそれぞれ隣接演算ユニットに接続された構成となっている。再構成のための構成データは、各演算ユニット数個ずつを1セットにしたUnitGroup (UG)を単位として管理される。プロセッサとしては、このUGを数個と再構成時の中間データ保持用のメモリユニット数個、外部メモリを含めたI/O部および管理回路で構成される。 大規模プロセッサとして多数のUGを搭載するシステムを考えた場合、マルチタスク化により同時に複数のアプリケーションを実行可能とすることでUG内の演算資源を効率よく利用することが可能になると考えられる。</p>					

<p>調査研究実績の概要</p>	<p>このようなマルチタスク／マルチスレッド型の動的再構成回路については以前から多くの研究が行なわれている。Zaykovら[1]はこのような動的再構成回路のサーベイとともにいくつかの研究課題を提示している。その中にはスレッド(タスク)の選択や配置配線方法、構成データのローディング時間の隠ぺいなどといったものがある。本研究では、できるだけシンプルなアプローチでこれらの問題に取り組むこととした。各種の制御は基本的にHWで実装することを目標とした。</p> <p>3. マルチタスク管理部の開発</p> <p>マルチタスク処理においては、実行中のアプリケーションの管理と演算資源(UG)の管理が必要となる。今回の設計においては、これらの二つの管理部分を完全に分離して個別の回路として設計した。これにより、UG数が異なる構成でもアプリケーション管理部は再設計不要とすることができる。その他、外部I/Oや中間データ保持用メモリブロックのタスクへの割当管理などが必要となるが、これについては現在、詳細を検討中である。</p> <p>3.1 アプリケーション管理部の設計</p> <p>アプリケーション管理部は、外部からのアプリケーション実行要求の際に各種情報をタスク管理テーブルに記録し、演算資源管理部にタスク実行のリクエストを送る役目を持つ。その際、空きの演算資源がないなどの理由でリクエストが断られる場合もあるため、そのタスクが実行中か待機中かといった情報も管理する。</p> <p>3.2 資源管理部の設計</p> <p>資源管理部は、アプリケーション管理部からのタスク実行リクエストに応じて、実行可能であれば演算資源であるUGの割り当てを行い、構成データをそれらのUGにローディングする。また、タスクの実行が終了した場合には、アプリケーション管理部へタスク終了信号を送る役割も持つ。</p> <p>多数のUGの使用状況等の管理について、UGを2個縦に接続した構成を$2 \times N$といった形で横に並べ、一次元配置で管理することにより資源管理の簡略化を図った。これにより、割当位置決定は非常に容易となる。ただし、使用UG数が奇数個の場合、未使用UGが発生することになる。今回の設計では2×8の16UGを持つプロセッサ構成を管理対象とした。資源管理部で管理する情報は、現在のUG列使用状態と、各UG列で実行中のタスク番号である。</p> <p>タスク割り当て後、プロセッサ上の構成情報メモリから割り当てた各UGに構成情報をローディングする。タスク番号から先頭メモリアドレスが決定され、ローディングが行われる。ローディング中は新しいタスクの割り当てが行われないう、アプリケーション管理部へのタスク受入可能信号がネゲートされる。</p> <p>4. 実装結果</p> <p>Xilinx XC5VLX110を実装ターゲットとして各管理部の設計を行った。設計ソフトウェアはXilinx ISE Design Suite 14.6、シミュレーションツールは同ISimを用いた。合成の結果、アプリケーション管理部の使用LUT数は468、使用Register数は222、資源管理部の使用LUT数は1511、使用Register数は795となった。UGの回路規模が1個で5000LUT程度であるため、管理部がプロセッサ全体に占める割合はかなり低いものとなる。</p> <p>参考文献</p> <p>[1] P.G. Zaykov et al., "Reconfigurable multi-threading architectures: A survey", SAMOS '09, pp. 263-274, 2009</p>
<p>成果資料目録</p>	<p>小椋清孝, 黒田光紀, 山本哲哉, 森下賢幸, 伊藤信之, "マルチタスク可能なパイプライン処理型動的再構成回路の資源管理部の設計", 情報処理学会第77回全国大会, 3A-04, 2015</p>