

申請者	学科名	情報システム工学科	職名	助教	氏名	横川 智教
調査研究課題	状態爆発の回避を目的としたハードウェア設計検証支援環境の開発					
調査研究組織	氏名	所属・職		専門分野	役割分担	
	代表	横川 智教	情報工学部・助教		形式的検証	モデルの自動生成 抽象化に基づく再構成
	分担者	井川 直 笠原 大和 森光 勇太	情報系工学研究科・M1 情報系工学研究科・M1 情報系工学研究科・M1		形式的検証 形式的検証 形式的検証	依存関係の可視化 特性に基づく抽象化 モデルの自動生成
調査研究実績の概要	<p>現在、論理回路の動作検証は、数ヶ月～半年に渡って設計書からランダムに生成されたテストパターンを実機上で動作させることによって行われている。そのため、検証に多大な時間を要するうえにテストの網羅性を保証することも困難である。この問題の解決策として、自動かつ網羅的検証が可能なモデル検査技術に大きな期待が寄せられている。</p> <p>モデル検査では、検査対象システムを状態遷移グラフとしてモデル化し、グラフの全探索によりシステムが求める特性を満たすか否かを判定する。モデル検査ではツールによる自動検証が可能であるが、導入のためには(1)設計とモデルの等価性の保証と(2)状態爆発問題の回避という2つの課題を解決する必要がある。</p> <p>本研究では、課題(1)の解決のため、ハードウェア設計ドキュメントから検査用モデルを自動的に生成するツールを開発する。また、課題(2)の解決のため、モデルサイズ削減を目的とした検査用モデルの抽象化手法についても開発を行う。</p> <p>本研究の目的を達成するため、本年度は以下の手順に従って研究開発を行った。</p> <ol style="list-style-type: none"> <li>1. 大規模ハードウェア設計を対象とした適用方針の検討</li> <li>2. ハードウェア設計の検査用モデル自動生成アルゴリズムの検討</li> <li>3. 検査用モデルの抽象化手法の検討</li> <li>4. モデル自動生成ツールの実装</li> </ol>					

<p>調査研究実績 の概要</p>	<p>1. 大規模ハードウェア設計を対象とした適用方針の検討</p> <p>まず、提案する枠組みを大規模ハードウェア設計に対して適用する場合に解決すべき課題について詳細に検討するため、協力企業から提供を受けたハードウェアIPに対して提案法に基づく検証を実施した。その成果として、検査対象の絞り込みと変数の抽象化を実施しない場合、検証に数日から一週間程度の時間を要することが明らかとなった[1]。</p> <p>[1] 森光, 横川ほか, “大規模ハードウェア IP への記号モデル検査の適用事例,” 信学技報, vol. 115, no. 87, VLD2015- 13, pp. 31- 36, 2015 年 6 月.</p> <p>2. ハードウェア設計の検査用モデル自動生成アルゴリズムの検討</p> <p>大規模ハードウェアIPへの適用事例に基づいて、検査用モデルの生成手続きをどのように自動化するかについて検討を行った。その成果として、順序回路の設計記述において条件分岐や繰り返しなどが複雑に組み合わせられた場合のモデル化手法を示した[2]。</p> <p>[2] 森光, 横川ほか, “大規模ハードウェア IP へのモデル検査の適用事例,” 平成 27 年度 (第 66 回) 電気・情報関連学会中国支部連合大会, 2015 年 10 月.</p> <p>3. 検査用モデルの抽象化手法の検討</p> <p>検査用モデルを作成する際の、検査対象の絞り込みや変数の抽象化が検査結果に及ぼす影響について検討を行った。その成果として、安全性検証の結果に影響を及ぼすことはないが、その他の特性については、単純な抽象化手続きでは結果に影響を及ぼす恐れがあることがわかった[3]。</p> <p>[3] 横川ほか, “大規模ハードウェア IP 検証における検証コスト削減の試み,” ソフトウェアエンジニアリングシンポジウム 2015 (SES2015) 併設ワークショップ “形式手法 - 普及拡大における課題解決を目指して - ,” 2015 年 9 月.</p> <p>4. モデル自動生成ツールの実装</p> <p>開発したハードウェア設計の検査用モデル自動生成アルゴリズムをツールとして実装した。対象とするハードウェア設計記述言語としてはVerilog-HDLとし、モデル検査ツールにはNuSMVを用いる。また、Verilog-HDLの構文解析にはpyverilogツールを用いている。本ツールではVerilogコードをpyverilogで構文解析して得られる抽象構文木を入力として、NuSMVの入力となる検査用モデル記述を自動的に生成する。開発したツールを用いることでVerilog-HDLで記述されたハードウェア設計をモデル検査ツールNuSMVで自動検証することが可能となる[4]。</p> <p>[4] 森光, 横川ほか, “Verilog-HDL による大規模ハードウェア設計の検証支援ツールの開発,” 信学技報, vol. 115, no. 465, VLD2015- 111, pp. 1- 6, 2016 年 2 月.</p>
<p>成果資料目録</p>	<p>1. 森光, 横川, 近藤, 宮崎, 佐藤, 有本, “大規模ハードウェアIPへの記号モデル検査の適用事例,” 信学技報, vol. 115, no. 87, VLD2015- 13, pp. 31- 36, 2015年6月.</p> <p>2. 森光, 横川, 近藤, 宮崎, 佐藤, 有本, 吉田, “Verilog-HDLによる大規模ハードウェア設計の検証支援ツールの開発,” 信学技報, vol. 115, no. 465, VLD2015- 111, pp. 1- 6, 2016年2月.</p>