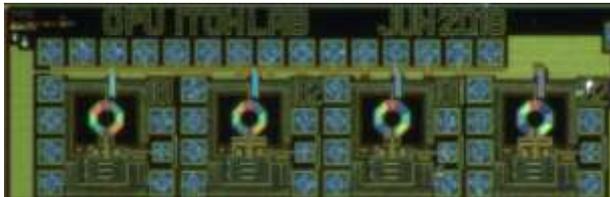
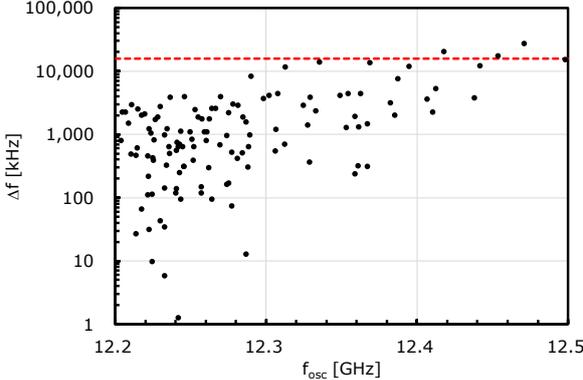


平成30年度 独創的研究助成費 実績報告書

平成31年 3月11日

報告者	学科名	情報通信工学科	職名	教授	氏名	伊藤信之
研究課題	完全デジタル制御高周波発振器に関する研究					
研究組織	氏名	所属・職		専門分野	役割分担	
	代表	伊藤信之	情報通信工学科教授	集積回路	回路提案担当・リーダー	
	分担者	坂本裕太	システム工学専攻博士前期課程2年	集積回路	回路設計・検証担当	
		八木希知	システム工学専攻博士前期課程1年	集積回路	回路設計・検証担当	
研究実績の概要	<p>1. 今年度の研究履歴</p> <p>～2018/5/30 インダクタ設計、回路設計</p> <p>6/1～6/22 レイアウト設計</p> <p>6/23 テープアウト（東大VDEC 経由ローム）</p> <p>6/25～10/1 チップ試作（ローム）</p> <p>9/14 電子情報通信学会にて本テーマについて発表</p> <p>10/1～12/10 概要評価</p> <p>11/6 APMC2018で本テーマ関連研究について発表</p> <p>12/10～ 詳細評価（継続中）</p> <p>図1に試作したチップ写真（該当部分のみ）を示す。</p>					
						
	図1 試作チップ写真(該当部分のみ)					

※ 次ページに続く

<p>研究実績 の概要</p>	<p>2. 研究経過</p> <p>本研究テーマは完全デジタル制御高周波発振器に関する研究である。申請書にも記してあるが、完全デジタル化するためには各デジタルステップ間の周波数偏差を 10ppm 以下に抑える必要があり、本研究の発振器の発振周波数約 12GHz においては 120kHz 以内とする必要があり、bit 数としては 14bit とした。図 1 の上側の PAD から 14bit 信号を平行で設定するように設計した。</p> <p>現在までにマニュアル測定を行っており、全体像を掴むためにひとつのパターンの上位 6bit および下位 6bit の測定を終了している。</p>  <p>図 2 発振周波数と bit 間周波数差</p> <p>図 2 に現在までの測定結果を示す。上位 6bit+下位 6bit の測定のため、周波数精度は粗くなっているが、14bit 全部の測定ができれば、現在より周波数精度は 128 倍上がる事となる。逆に、上位 6bit+下位 6bit の測定段階で仕様を満たす周波数精度は 15.720MHz と考えられ、図 2 中の赤破線より下にあればそれを満たす事となる。図 2 から判るように、現段階でその精度はほぼ満たしており、今後、14bit 全部の測定を行う予定である。</p> <p>しかしながら、マニュアル測定では限界（14bit 全てを連続的に測定すると 46 時間かかる）があるため、外部から 14bit のカウンタを用いてクロック入力を自動で行い、発振周波数を自動で測定する準備を進めている。</p>
<p>成果資料目録</p>	<ol style="list-style-type: none"> 1. 八木希知, 森下賢幸, 小椋清孝, 伊藤信之, "スイッチトインダクタを用いたデジタル制御発振器に関する検討," 2018 年電子情報通信学会ソサイエティ大会 C-12-30, 金沢, 2018 年 9 月 14 日. 2. Y. Sakamoto, K. Komoku, T. Morishita, N. Itoh, "24 GHz Low-Phase-Noise VCO Using 3D-Striped Inductor Utilized Thin-Metal Layers," Proc. of the 2017 Asia-Pacific Microwave Conference, TH3-E, Kuala Lumpur, Nov. 2017.